

(11)Publication number : 02-294224  
(43)Date of publication of application : 05.12.1990

H02J 1/00

(71)Applicant : HITACHI SHONAN DENSHI CO LTD

(72)Inventor : YOSHIHARA NOBUTAKA

**(57)Abstract:**

The diagram shows a differential amplifier circuit. It consists of a differential pair of transistors (5 and 6) with their emitters connected to a common emitter resistor (9). The bases of these transistors are connected to a common base resistor (10). The collector of transistor 5 is connected to a current mirror load consisting of transistors 7 and 8. The collector of transistor 6 is connected to a resistor (9). The input is labeled CINT and the output is labeled COUT.

**CONSTITUTION:** A thyristor 3 connected between output terminals 3, 4 of a DC power supply 1 is not triggered but opened, when the remote ON/OFF signal input of said power supply 1 is ON. However, when said remote ON/OFF signal is OFF, said thyristor is triggered and turned ON. Accordingly, the output terminals 3, 4 of said power supply 1 are connected via said thyristor 3 with a resistor 4 serially connected with the thyristor 3 and the residual electric charge of said power supply 1 is consumed by said resistor 4. Consequently, the internal residual charge can be discharged at a started period and in a short time after the power supply 1 has been turned OFF so that it is possible to prevent the malfunction by the residual charge of an apparatus for said power supply 1 to be connected with.

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A) 平2-294224

⑤ Int. Cl.<sup>3</sup>  
H 02 J 1/00識別記号 庁内整理番号  
3 0 6 L 8834-5G

⑬ 公開 平成2年(1990)12月5日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 残留電荷放電回路

⑮ 特 願 平1-112156

⑯ 出 願 平1(1989)5月2日

⑰ 発 明 者 吉 原 延 孝 神奈川県横浜市戸塚区戸塚町393番地 日立湘南電子株式会社内

⑱ 出 願 人 日立湘南電子株式会社 神奈川県横浜市戸塚区戸塚町393番地

⑲ 代 理 人 弁理士 秋本 正実 外1名

## 明 細 書

## 1. 発明の名称

残留電荷放電回路

## 2. 特許請求の範囲

1. リモートON/OFF端子付きの直流出力電源の出力端子間にサイリスタと負荷抵抗との直列回路と前記サイリスタのトリガ端子に前記出力端子間に分圧抵抗と直列に接続されているトランジスタとリモートON/OFF端子からのリモートON/OFF信号を増幅して前記トランジスタのベースに印加する増幅器と前記分圧抵抗の一方とゲートに出力端子の一方に接続されたコンデンサとで構成するトリガ回路を設け、電源のリモートON/OFF信号がOFFとなった時にサイリスタをトリガし、電源内の残留電荷をサイリスタと負荷抵抗により放電させることにより電源出力の立下り時間を一定かつ短縮するようにしたことを特徴とした残留電荷放電回路。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、リモートON/OFF端子付きの直流出力電源がOFFとなった後の残留電荷の放電回路に係り、特に電源出力の立下り時間の一定化と短縮化に好適な残留電荷放電回路に関する。

## 〔従来の技術〕

トランジスタのパルス応答特性は例えば電子回路基礎講座4、「パルスとデジタル回路」(第2版)オーム社刊(昭和49年2月20日)に記載されているように、スイッチ速度は蓄積電荷による立下り時間の短縮化を計るため、逆バイアスを与える方法が示されている。

## 〔発明が解決しようとする課題〕

上記した逆バイアスを与える方法ではスピードアップコンデンサの値により逆バイアス電圧を選定する必要があり、2電源を必要とする等、回路構成上好しくなかった。本発明の目的は、直流電源がOFFとなった時に電源内の残留電荷により電源が接続される機器が継続動作することによる誤動作を防止することにある。

## 〔課題を解決するための手段〕

上記目的は、直流電源の出力端子にサイリスタと抵抗を接続し、電源へのリモートON/OFF信号がOFFになった時サイリスタをトリガすることにより、電源内の残留電荷をサイリスタと抵抗とを経由して放電させることにより達成される。

## 〔作用〕

本発明の残留電荷放電回路では電源の出力端子間に接続したサイリスタは、電源のリモートON/OFF信号入力が入力ONの時にはトリガされず開放状態であるが、リモートON/OFF信号がOFFの時はトリガされて導通状態となり、それによって、電源の出力端子はサイリスタを介してサイリスタに直列に接続した抵抗に接続され電源の残留電荷はこの抵抗により消費されるので、電源の立下り時間は一定かつ短時間となる。

## 〔実施例〕

以下、本発明の一実施例を図を用いて詳細に説明する。図において、1はリモートON/OFF端子付きの直流電源、2はリモートON/OFF

入力端子、3、4は直流電源の出力端子、5は前記出力端子3、4間に接続されたサイリスタ、6は前記サイリスタ5と直列に接続された負荷抵抗、7は前記サイリスタ5と負荷抵抗6の直列回路と並列に前記出力端子3、4間に接続されたトランジスタ、8、9は前記トランジスタ7と直列に接続され前記サイリスタ5のゲートにトリガ電圧を印加するためのトリガ電圧調整用の分圧抵抗、10はリモートON/OFF信号を増幅して前記トランジスタ7のベースに入力する増幅器、11はサイリスタの誤トリガ防止のため抵抗9と並列に接続されたノイズ除去用コンデンサである。

ここで上記直流電源1のリモートON/OFF信号2はTTLレベルでLレベルの時直流電源1はON、Hレベルの時OFFとなるものと仮定する。リモートON/OFF入力端子2がLレベルの時、増幅器10の入力はLレベルであり、トランジスタ7のベースは駆動されず、したがってトランジスタ7は非導通なので分圧抵抗8、9には電流が流れず、電圧が印加されない。この結果サイ

リスタ5のゲートに電圧が印加されないでサイリスタ5は開放状態であり、直流電源1の出力には全く影響を与えず直流電源1は通常の出力をする。一方、リモートON/OFF入力端子2がHレベルになった時、直流電源1はOFFとなると同時に増幅器10の入力はHレベルとなってトランジスタ7のベースが駆動され、トランジスタ7は導通し、分圧抵抗8、9に電圧が印加され、この電圧は、分圧抵抗8、9により分圧されサイリスタ5のゲートに印加される。この結果サイリスタ5はトリガされ導通状態となり、直流電源1の出力端子3、4間に負荷抵抗6がサイリスタ5を介して接続され、直流電源1の内部の残留電荷が消費される。本実施例によれば、直流電源1がOFFになった後の内部残留電荷を一定かつ短時間に放電する効果がある。

## 〔発明の効果〕

本発明の残留電荷放電回路によれば、直流電源がOFFになった後の内部残留電荷を一定かつ短時間に放電できるので、直流電源が接続されてい

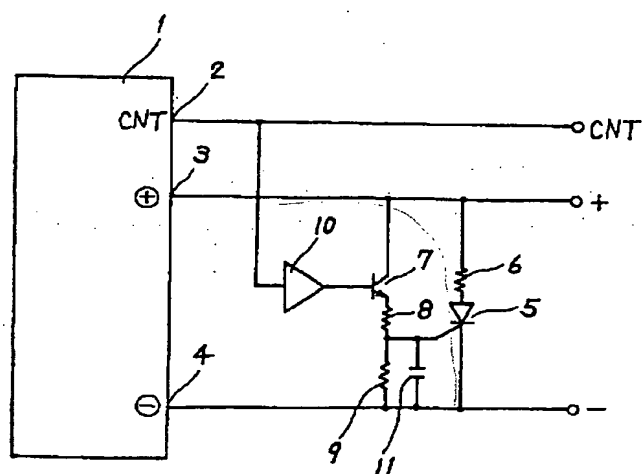
る機器の残留電荷による誤動作を防止する効果がある。

## 4. 図面の簡単な説明

図は本発明の一実施例を示す残留電荷放電回路の回路図である。

1…直流電源、2…リモートON/OFF端子、3、4…直流電源出力端子、5…サイリスタ、6…負荷抵抗、7…トランジスタ、8、9…分圧抵抗、10…増幅器、11…コンデンサ。

特許出願人 日立湘南電子株式会社  
代理人 弁理士 秋 本 正 実  
外 1 名



H = 出力  
L = 入力

- |                |          |
|----------------|----------|
| 1 直流電源         | 7 トランジスタ |
| 2 リモートON/OFF端子 | 8,9 分圧抵抗 |
| 3,4 直流電源出加端子   | 10 増幅器   |
| 5 サイリスタ        | 11 コンデンサ |
| 6 負荷抵抗         |          |